

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 6 月 9 日 (09.06.2005)

PCT

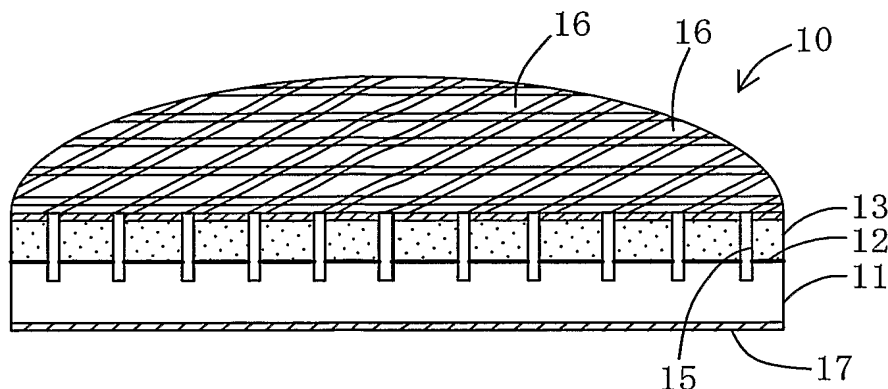
(10) 国際公開番号
WO 2005/053038 A1

- (51) 国際特許分類: H01L 31/0328, 31/115
- (21) 国際出願番号: PCT/JP2004/017891
- (22) 国際出願日: 2004 年 11 月 24 日 (24.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-397978
2003 年 11 月 27 日 (27.11.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 財団法人名古屋産業科学研究所 (NAGOYA INDUSTRIAL SCIENCE RESEARCH INSTITUTE) [JP/JP]; 〒460-0008 愛知県名古屋市 中区栄二丁目 1 0-1 9 名古屋商工会議所ビル Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 安田 和人 (YASUDA, Kazuhito) [JP/JP]; 〒509-0236 岐阜県 可児市 皐ヶ丘 7 丁目 1 0 6 番地 Gifu (JP). ニラウラ マダン (NIRAULA, Madan) [NP/JP]; 〒456-0062 愛知県 名古屋市 熱田区大宝 2-4-4 3 白鳥住宅 6-2 7 Aichi (JP).
- (74) 代理人: 渡邊 功二 (WATANABE, Kohji); 〒491-0851 愛知県 一宮市 大江三丁目 1 2 番 9 号 オスカイビル 5 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

[続葉有]

(54) Title: SEMICONDUCTOR RADIATION DETECTOR AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体放射線検出器及びその製造方法



(57) **Abstract:** Semiconductor radiation detector (10) includes low-resistance N type Si substrate (11), arsenic coating layer (12) superimposed on the Si substrate and, superimposed thereon by laminating according to MOVPE technique, high-resistance P type CdTe growth layer (13). The semiconductor radiation detector (10) is divided into a multiplicity of heterojunction structure planar elements by separation trenches (15) extending from the surface of the CdTe growth layer to the Si substrate. An Si substrate has its surface cleaned by heat treatment in high-temperature hydrogen reducing atmosphere. This Si substrate (11) is provided with a coating of about a monomolecular layer of arsenic molecules by pyrolysis of GaAs powder or GaAs crystal, thereby forming an arsenic coating layer. CdTe growth layer of about 0.2 to 0.5 mm thickness is formed on the Si substrate provided with the arsenic coating layer in an atmosphere of about 450 to 500°C according to the MOVPE technique.

(57) 要約: 半導体放射線検出器10は、低抵抗のN型のSi基板11と、Si基板上に形成された砒素被覆層12と、その上にMOVPE法により積層形成された高低抗P型のCdTe成長層13とを設けており、CdTe成長層表面からSi基板に達する分離溝15により多数のヘテロ接合構造の平面素子に分離されている。Si基板が、高温の水素還元雰囲気中で熱処理され、表面が清浄にされる。このSi基板11に、GaAs粉末あるいはGaAs結晶を熱分解させて、砒素分子で1分子層程度被覆して砒素被覆層を形成する。砒素被覆層の形成されたSi基板に、450～500°C程度の雰囲気中で、MOVPE法によりCdTe成長層が0.2～0.5mm程度の膜厚で形成される。



WO 2005/053038 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,
SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半 導 体 放 射 線 検 出 器 及 び そ の 製 造 方 法

技 術 分 野

本発明は、医療用放射線診断装置、工業用X線検査装置、理学用X線解析装置等に用いられる半導体放射線検出器及びその製造方法に関する。

背 景 技 術

従来、この種の半導体放射線検出器としては、放射線検出用材料として優れたテルル化カドミウム（以下、CdTeと記す）あるいはテルル化亜鉛カドミウム（以下、CdZnTeと記す）の高抵抗バルク結晶が用いられている。このCdTeの高抵抗バルク結晶については、均質かつ良好な電気特性を有する大面積の結晶が得られ難いため、通常は、小体積例えば $1 \times 1 \times 1 \text{ mm}^3$ 程度の単一素子、もしくはこれらを数10個並べた小規模アレイ型の放射線検出器が実用化されている。しかし、このようなバルク結晶を用いても、人体の胸部全体をカバーできるような大面積の放射線検出器を実現することは技術的に問題があると共に、非常に高価になっていた。また、従来のCdTeの高抵抗バルク結晶による放射線検出器の場合、結晶の表裏面に導電性電極あるいはショットキー電極を形成し、これ電極間に数100～1000Vの高電圧を加え、CdTe結晶中に放射線によって発生したキャリアを電界によって引出して電気信号として検出している。そのため、この種のCdTeの高抵抗バルク結晶を用いた放射線検出器では、素子の抵抗以外に検出特性を改良できる余地は少ない。

これに対して、特開昭64-89471号公報に示すように、CdTe等の化合物半導体結晶と、InAs等の結晶性薄膜とのヘテロ接合を

1つ有する半導体放射線検出器が知られている。しかし、この半導体放射線検出器の場合、化合物半導体結晶がキャリアを発生する活性領域(能動層)として利用され、結晶性薄膜層は化合物半導体結晶からのキャリアを金属電極へ効率よく注入させる機能を持つものである。従って、化合物半導体結晶としてCdTeのようなII-VI属の結晶とすると、上記のように大面積の結晶を得ることが非常に困難であり、半導体放射線検出器が非常に高価になるという問題がある。また、化合物半導体結晶としてCdTe, CdZnTe以外の結晶とすると、放射線検出特性が不十分になるという問題がある。

また、特開平6-120549号公報に示すように、CdTe等の半絶縁性半導体結晶と、その一方にエピタキシャル成長したP型のP-HgCdTeと、その他方にエピタキシャル成長させたN型のN-HgCdTeとからなる放射線検出器が知られている。しかし、この半導体放射線検出器についても、特許文献1に記載の半導体放射線検出器と同様に、CdTe等の半絶縁性半導体結晶をキャリアを発生する活性領域として利用するものであるため、同様の問題がある。

本発明は、上記した問題を解決しようとするもので、放射線検出性能が良好で、十分な強度を備えると共に大面積とすることが容易で、さらに安価に製造される半導体放射線検出器及びその製造方法を提供することを目的とする。

発明の開示

上記目的を達成するために本発明の特徴は、SiあるいはGaAs基板と、該基板の表面上にMOVPE法により積層形成されたCdTeあるいはCdZnTe成長層とを備え、該成長層が入射放射線に対する能動層となることにある。

本発明においては、十分な強度を有するS iあるいはG a A s基板表面上に、C d T eあるいはC d Z n T e成長層がM O V P E法によって積層されているため、良好な結晶性を有する成長層が得られている。そのため、この成長層によって良好な放射線検出性能が得られる。また、S iあるいはG a A s基板については、大面積でかつ強固な基板が安価に得られるため、その表面上にC d T eあるいはC d Z n T e成長層をM O V P E法によって積層することにより、大面積でしかも十分な強度を備えた半導体放射線検出器が安価に得られる。

また、本発明では、S iあるいはG a A s基板を低抵抗のN型とし、C d T eあるいはC d Z n T e成長層を高抵抗のP型とすることができる。これによれば、本発明の上記作用効果に加えて、半導体放射線検出器に逆バイアスを印加することにより、放射線の入射によってP型の能動層で生じたキャリアをP N接合によって効率よく取り出すことができる。

また、本発明においては、S iあるいはG a A s基板と、C d T eあるいはC d Z n T e成長層との間に、低抵抗のN型で厚さの薄いC d T eあるいはC d Z n T e中間成長層を設けることができる。なお、中間成長層の厚さは、0.02～0.05mm程度であり、以下同様である。このように、低抵抗の薄いN型の中間成長層を設けたことにより、P N接合におけるダメージの発生が中間成長層で抑えられてC d T eあるいはC d Z n T e成長層の結晶性が良好に確保されるため、P N接合による能動層で発生したキャリアの収集効率が高められる。

また、本発明においては、S iあるいはG a A s基板が低抵抗のP型であり、C d T eあるいはC d Z n T e成長層がS iあるいはG a A s基板側の高抵抗のP型層と表面側の低抵抗のN型層を積層させたものとすることができる。これによれば、本発明の上記作用効果に加えて、半

導体放射線検出器に逆バイアスを印加することにより、放射線の入射によってP型の能動層で生じたキャリアを、低抵抗のN型層とのPN接合によって効率よく取り出すことができる。

また、SiあるいはGaAs基板と、CdTeあるいはCdZnTe成長層との間に、砒素を含む低抵抗のP型である厚さの薄いCdTeあるいはCdZnTe中間成長層を設けることができる。これにより、Si基板との境界で発生する欠陥を厚みの薄いP型のCdTe成長層で抑えることができ、高抵抗のCdTe成長層の放射線特性を高めることができる。

なお、上記表面側のN型層に代えて、ショットキー電極を設けてもよい。これにより、ショットキー電極とP型層とのショットキー接合により、放射線の入射によってP型の能動層で生じたキャリアを効率よく取り出すことができる。

また、この半導体放射線検出器は、表面側の成長層からSiあるいはGaAs基板に達する溝を切断手段により設けて、二次元配列された多数の単位素子に分離されていることが好ましい。切断手段としては、レーザーカッティング、ドライエッチング、ダイシング等が用いられる。これにより、二次元配列された多数の単位素子からなる大面積の半導体放射線検出器を簡易に実現することができる。

また、半導体放射線検出器の表面側成長層に多数の表面電極あるいはショットキー電極を設けると共に、表面電極あるいはショットキー電極の周囲を囲むガードリング電極を設けることができる。これにより、半導体放射線検出器の表面側を切断手段で溝を設けて素子間を分離しなくても、二次元配列された多数の素子からなる大面積の半導体放射線検出器を簡易に実現することができる。

また、表面側の低抵抗成長層が多数の小領域に分離されて二次元に配

列されており、小領域あるいはショットキー電極である小領域について、所定位置の主小領域と、主小領域を囲む複数の周辺小領域との間に高電圧が印加される構成とすることができる。これにより、半導体放射線検出器の表面側を切断手段で溝を設けて素子間を分離しなくても、表面側のみでの電極処理により、二次元配列された多数の素子からなる半導体放射線検出器を簡易に実現することができる。

また、本発明の他の特徴としては、Si基板と、基板の表面上にMOVPE法により積層形成されたCdTeあるいはCdZnTe成長層とを備えた半導体放射線検出器において、Si基板を高温還元雰囲気中に置かれた状態で、GaAs粉末あるいはGaAs結晶を分解させてSi基板上に砒素を付着させ、砒素の付着したSi基板上にMOVPE法によりCdTeあるいはCdZnTe成長層を積層形成することにある。

このように、Si基板を高温還元雰囲気中に置かれた状態で、GaAs粉末あるいはGaAs結晶を熱分解させてSi基板上に砒素を付着させることにより、4価ではなく2価の形で砒素を基板上に付着させることができる。その後、砒素の付着したSi基板上にMOVPE法によりCdTeあるいはCdZnTeを成長させたとき、2価の砒素を介してSi基板とCdTeあるいはCdZnTe成長層を強固な接着力で積層させることができる。そのため、本発明によれば、従来非常に困難であったMOVPE法によってSi基板上に、十分な接着強度と良好な結晶性を確保しつつCdTe成長層を形成することが可能にされた。

また、Si基板が低抵抗のN型であり、CdTeあるいはCdZnTe成長層が高抵抗のP型である場合について、上記製造方法により、CdTeあるいはCdZnTe成長層をSi基板上に強固な接着力で積層させることができる。

また、Si基板と、CdTeあるいはCdZnTe成長層との間に、

低抵抗のN型である厚さの薄いCdTeあるいはCdZnTe中間成長層を備えた構造についても、上記製造方法により、2価の砒素を介して高抵抗のN型成長層をSi基板上に強固な接着力で積層させることができる。

また、Si基板が低抵抗のP型であり、CdTeあるいはCdZnTe成長層がSi基板側の高抵抗のP型層と表面側の低抵抗のN型層を積層させた構造についても、上記製造方法により、CdTeあるいはCdZnTe成長層である高抵抗のP型層を低抵抗のP型のSi基板上に強固な接着力で積層させることができる。

また、Si基板と、CdTeあるいはCdZnTe成長層との間に、砒素を含む低抵抗のP型である厚みの薄いCdTeあるいはCdZnTe中間成長層を備えた構造についても、上記製造方法により、砒素を含む低抵抗のP型の成長層を低抵抗のP型のSi基板上に、強固な接着力で積層形成することができる。

上記N型層に代えて、ショットキー電極を設けた構造の半導体放射線検出器についても、上記製造方法により、十分な接着強度と良好な結晶性を確保しつつCdTe成長層を形成することが可能にされた。

また、成長層側からSi基板に達する溝を切断手段により設けて、二次元に配列された多数の単位素子に分離する半導体放射線検出器の製造方法についても、上記製造方法により、Si基板に対する十分な接着強度と良好な結晶性を確保しつつCdTe成長層を形成することが可能にされた。

また、成長層側の表面に二次元に配列された多数の表面電極あるいはショットキー電極を設けると共に、表面電極あるいはショットキー電極の周囲を囲むガードリング電極を設けた半導体放射線検出器についても、上記製造方法により、十分な接着強度と良好な結晶性を確保しつつCd

T e 成長層を形成することが可能にされた。

また、表面側の低抵抗成長層が多数の小領域に分離されて二次元に配列されており、該小領域あるいはショットキー電極である小領域について、所定位置の主小領域と、主小領域を囲む複数の周辺小領域との間に高電圧が印加されるように構成にされた半導体放射線検出器についても、上記製造方法により、十分な接着強度と良好な結晶性を確保しつつ C d T e 成長層を形成することが可能にされた。

本発明によれば、安価かつ強固な S i あるいは G a A s 基板表面上に、C d T e あるいは C d Z n T e 成長層が M O V P E 法によって積層されているため、良好な結晶性を有する成長層が得られている。そのため、この成長層によって良好な放射線検出性能が獲得される。また、S i あるいは G a A s 基板は、大面積でかつ強固な基板が安価に得られるため、その表面上に C d T e あるいは C d Z n T e 成長層を M O V P E 法によって積層することにより、大面積で強固な半導体放射線検出器が安価に得られる。

また、本発明においては、S i 基板表面上に G a A s 粉末あるいは G a A s 結晶を熱分解させて 2 価の砒素を付着させることにより、S i 基板上に C d T e あるいは C d Z n T e 成長層を M O V P E 法によって強固に積層させることができる。そのため、本発明によれば、従来非常に困難であった M O V P E 法によって S i 基板上に、十分な接着強度と良好な結晶性を確保しつつ C d T e 成長層を形成することが可能になった。

図面の簡単な説明

第 1 図は、本発明の第 1 実施例である半導体放射線検出器を概略的に示す斜視図である。

第 2 - 1 図は、同半導体放射線検出器の製造工程の一部を概略的に示す断面図である。

第 2 - 2 図は、同半導体放射線検出器の製造工程の一部を概略的に示す断面図である。

第 2 - 3 図は、同半導体放射線検出器の製造工程の一部を概略的に示す断面図である。

第 2 - 4 図は、同半導体放射線検出器の製造工程の一部を概略的に示す断面図である。

第 2 - 5 図は、同半導体放射線検出器の製造工程の一部を概略的に示す断面図である。

第 3 図は、第 1 実施例の変形例である半導体放射線検出器を概略的に示す断面図である。

第 4 図は、第 2 実施例である半導体放射線検出器を概略的に示す断面図である。

第 5 図は、第 2 実施例の変形例 1 である半導体放射線検出器を概略的に示す断面図である。

第 6 図は、同変形例 2 である半導体放射線検出器を概略的に示す断面図である。

第 7 図は、第 3 実施例である半導体放射線検出器を概略的に示す斜視図である。

第 8 図は、第 4 実施例である半導体放射線検出器を概略的に示す斜視図である。

第 9 図は、第 5 実施例である半導体放射線検出器を概略的に示す斜視図である。

第 10 図は、第 5 実施例の変形例 1 である半導体放射線検出器を概略的に示す断面図である。

第 1 1 図は、同変形例 2 である半導体放射線検出器を概略的に示す断面図である。

第 1 2 図は、同変形例 3 である半導体放射線検出器を概略的に示す断面図である。

第 1 3 図は、同変形例 4 である半導体放射線検出器を概略的に示す断面図である。

発明を実施するための最良の形態

以下、本発明の一実施例について図面を用いて説明する。第 1 図は、第 1 実施例である低抵抗 N 型シリコン基板 1 1（以下、S i 基板と記す）の表面上に MOVPE 法により積層形成された高抵抗 P 型の CdTe 成長層 1 3 とを備えた半導体放射線検出器 1 0 を斜視図により示したものである。第 2 図は、半導体放射線検出器の製造工程を断面図により概略的に示したものである。

半導体放射線検出器 1 0 は、低抵抗の N 型の S i 基板 1 1 と、S i 基板 1 1 上に形成された砒素被覆層 1 2 と、その上に MOVPE 法により積層形成された高抵抗 P 型の CdTe 成長層 1 3 とを設けており、CdTe 成長層 1 3 表面から S i 基板 1 1 に達する分離溝 1 5 により二次元配列された多数のヘテロ接合構造の平面素子に分離されており、表面側の電極 1 6 と基板裏面側の共通電極 1 7 が設けられている。半導体放射線検出器 1 0 は、図 2 - 5 に示すように、表面側電極 1 6 にて例えば制御用の LSI が搭載された半導体回路基板 1 9 に接続されるようになっている。以下、半導体放射線検出器 1 0 の製造工程を、第 2 図に基づいて説明する。

S i 基板 1 1 は、CdTe 成長層 1 3 とのマッチングにおいて、結晶面の方向が重要であり、結晶面（2 1 1）が最も好ましく、結晶面（1

00) も良好である。ただし、その他の結晶面については使用可能である。S i 基板 11 については、12 インチ程度の大径が可能であり、又強度が十分でありハンドリングも容易である。そのため、S i 基板 11 を用いることにより、を非常に大面積の半導体放射線検出器の製造が可能になる。この S i 基板 11 が、900 ~ 1000 ° C の水素還元雰囲気中で熱処理され、表面が清浄にされる。この S i 基板 11 に、ガリウム砒素粉末（以下、G a A s と記す）あるいは G a A s 結晶を 700 ~ 900 ° C の雰囲気中で熱分解させて、砒素分子を 1 分子層程度被覆して砒素被覆層 12 を形成する（第 2 - 1 図参照）。

つぎに、砒素被覆層 12 の形成された S i 基板 11 に、450 ~ 500 ° C 程度の雰囲気中で、MOVPE 法により C d T e 成長層 13 が 0.2 ~ 0.5 mm 程度の膜厚で形成される（第 2 - 2 図参照）。カドミウムの原料としては、例えばジメチルカドミウムが用いられ、テルルの原料としては、例えばジエチルテルルが用いられる。また、P 型のドーパントとしては、例えばターシャルブチルアルシンが用いられる。このように形成された C d T e 成長層 13 は、S i 基板 11 上に 2 価の砒素被覆層 12 が形成されていることにより、S i 基板 11 に緊密に接着して能動層として形成される。

つぎに、C d T e 成長層 13 表面に、二次元配列された多数の 1 mm □ 程度の小面積の単位素子を設けるための表面側の電極 16 が、スパッタリング法とリソグラフィ法により形成される。また、S i 基板 11 裏面側には共通電極 17 がスパッタリング法等により形成される（第 2 - 3 図参照）。電極材料としては、A u、S b - A u、I n - A u、W - A u、T i - P t - A u 等が用いられる。さらに、C d T e 成長層 13 表面側から、電極 16 の間に沿って S i 基板 11 内まで延びた分離溝 15 がレーザ切断法により形成される（第 2 - 4 図）。これにより、多数の単

位素子に分離されて二次元に配列された半導体放射線検出器 10 が得られる。この半導体放射線検出器 10 は、電極 16 によって、例えば電極配線基板である一部に信号処理用 L S I の形成された半導体回路基板 19 に接着される。

以上に説明したように、上記第 1 実施例においては、半導体放射線検出器 10 は、十分な強度の S i 基板 11 表面上に、C d T e 成長層 13 が M O V P E 法によって積層されているため、良好な結晶性を有する成長層が得られている。そのため、この成長層によって良好な放射線検出性能が獲得される。さらに、第 1 実施例においては、S i 基板 11 を高温還元雰囲気中に置かれた状態で、G a A s 粉末あるいは結晶を分解させて S i 基板 11 上に砒素を付着させることにより、4 価ではなく 2 価の形で砒素被覆層 12 を設けることができる。そのため、砒素の付着した S i 基板 11 上に M O V P E 法により C d T e を成長させたとき、2 価の砒素からなる砒素被覆層 12 を介して S i 基板 11 に C d T e 成長層 13 を強固な接着力で積層させることができる。その結果、本実施例においては、従来非常に困難であった M O V P E 法による S i 基板 11 上への C d T e 成長層 13 の形成を、十分な接着強度と良好な結晶性を確保しつつ安定した方法で達成することができた。

また、S i 基板 11 は、大面積でかつ強固な基板が安価に得られるため、その表面上に C d T e あるいは C d Z n T e 成長層を M O V P E 法によって積層することにより、大面積で十分な強度を有する半導体放射線検出器が安価に得られる。また、この半導体放射線検出器 10 に、成長層側から S i 基板 11 に達する溝 15 をレーザーカッチング法によって設けることにより、多数の単位素子に分離された二次元配列で大面積の半導体放射線検出器が簡易かつ安価に提供された。

つぎに、上記第 1 実施例の変形例について説明する。

変形例の半導体放射線検出器 10A は、第 3 図に示すように、低抵抗の N 型の Si 基板 11 上に、上記砒素被覆層 12 を設けた後、低抵抗の N 型である CdTe 中間成長層 14 を設け、さらに高抵抗の P 型の CdTe 成長層 13 を設けたものである。N 型である CdTe 中間成長層 14 も、上記 P 型の CdTe 成長層 13 と同様に MOVPE 法により、ドーパントを沃素に代えて形成することができる。N 型である CdTe 中間成長層 14 の厚さは、0.02 ~ 0.05 mm 程度の薄い層となっており、P 型の CdTe 成長層 13 は、第 1 実施例と同様である。このように、変形例 1 によれば、低抵抗の薄い N 型の中間成長層 14 を設けたことにより、PN 接合におけるダメージの発生が中間成長層 14 で抑えられて CdTe 成長層 13 の結晶性が良好に確保されるため、PN 接合による CdTe 成長層 13 で発生したキャリアの収集効率が高められる。

つぎに、第 2 実施例について説明する。

第 2 実施例の半導体放射線検出器 20 は、第 4 図に示すように、低抵抗の P 型の Si 基板 21 上に、上記砒素被覆層 12 を設けた後、高抵抗の P 型である CdTe 成長層 22 を設け、さらに低抵抗の N 型の CdTe 成長層 23 を設けたものである。CdTe 成長層 23 については上記のようにドーパントを沃素に代えることにより MOVPE 法によって形成される。P 型の CdTe 成長層 22 については、上記 CdTe 成長層 13 と同等の厚さである。N 型の CdTe 成長層 23 の厚さは、0.02 ~ 0.05 mm 程度の薄い層となっている。

本実施例によれば、上記第 1 実施例の作用効果に加えて、半導体放射線検出器 20 に逆バイアスを印加することにより、放射線の入射によって P 型の CdTe 成長層 22 を能動層として生じたキャリアを、低抵抗の N 型の成長層 23 との PN 接合によって効率よく取り出すことができる。また、第 2 実施例においても、第 1 実施例と同様に、大面積で十分

な強度を有する半導体放射線検出器が安価に得られる等の効果が得られる。

つぎに、上記第2実施例の変形例1について説明する。

変形例1の半導体放射線検出器20Aは、第5図に示すように、低抵抗のP型のSi基板21上に、上記砒素被覆層12を設けた後、低抵抗のP型であるCdTe成長層24を設け、さらに高抵抗のP型のCdTe成長層22を設け、その上に低抵抗のN型であるCdTe成長層23を重ねたものである。CdTe成長層23、24についてはいずれも上記のようにドーパントを沃素と砒素に代えることによりMOVPE法によって形成される。P型のCdTe成長層22及びN型のCdTe成長層23については、第2実施例のCdTe成長層22、23と同等の厚さである。P型のCdTe成長層24の厚さは、0.02～0.05mm程度の薄膜となっている。これにより、変形例1においては、第2実施例の効果に加えて、Si基板21との境界で発生する欠陥を厚みの薄いP型のCdTe成長層24で抑えることができ、高抵抗のCdTe成長層22の耐放射線特性を高めることができる。

つぎに、上記第2実施例の変形例2について説明する。

変形例2の半導体放射線検出器20Bは、第6図に示すように、第2実施例の半導体放射線検出器20において低抵抗のN型のCdTe成長層23に代えて、ショットキー電極26を設けたものである。ショットキー電極26の材料としては、例えば金単体が用いられる。これにより、第2実施例のPN接合と同様に、ショットキー電極26とCdTe成長層22とのショットキ接合により、放射線の入射によって能動層であるCdTe成長層22で生じたキャリアを効率よく取り出すことができる。また、変形例1の半導体放射線検出器20Aにおいて、低抵抗のN型のCdTe成長層23に代えて、ショットキー電極を設けても同様の効果

が得られる。

つぎに、第 3 実施例について説明する。

第 3 実施例の半導体放射線検出器 3 1 は、第 7 図に示すように、半導体放射線検出器の表面側に二次元配列された多数の表面電極 3 2 a を設けると共に、表面電極 3 2 a の周囲を囲むガードリング電極 3 2 b を設けたものである。すなわち、上記第 1 実施例に示した、C d T e 成長層 1 3 表面側に S i 基板 1 1 内まで延びた分離溝 1 5 を設ける代わりに、ガードリング電極 3 2 b により、多数の単位素子に分離された半導体放射線検出器 3 1 を得るようにしたものである。これにより、半導体放射線検出器 3 1 の表面側を溝を設ける手間が省かれるため、二次元配列された多数の素子からなる半導体放射線検出器が、安価に提供される。

つぎに、第 4 実施例について説明する。

第 4 実施例の半導体放射線検出器 3 4 は、第 8 図に示すように、高抵抗の S i 基板 3 5（あるいは G a A s 基板）上に高抵抗の C d T e 成長層 3 6 が形成され、成長層 3 6 表面に二次元配列された多数のショットキー電極 3 7 が設けられている。電極 3 7 については、所定位置の主電極 3 7 a と、主電極を囲む周辺電極 3 7 b に区分されている。そして、主電極 3 7 a と周辺電極 3 7 b との間に高電圧源 3 8 の電圧が印加されることにより、成長層 3 6 で発生したキャリアの処理が、半導体放射線検出器 3 4 の表面側でのみ行われるようになっていく。これにより、第 4 実施例においては、半導体放射線検出器 3 4 の表面側にレーザーカッティング法等で溝を設けて素子間を分離しなくても、表面側のみでの電極処理により、二次元配列された多数の素子からなる半導体放射線検出器を簡易に実現することができる。

つぎに、第 5 実施例について説明する。

第 5 実施例の半導体放射線検出器 4 0 は、第 9 図に示すように、低抵

抗のN型のGaAs基板41と、基板41上にMOVPE法により積層形成された高抵抗P型のCdTe成長層42とを設けており、CdTe成長層42表面から基板41に達する分離溝（図示しない）により多数のヘテロ接合構造の平面素子に分離されており、表面側の電極43と基板裏面側の共通電極44が形成されている。

GaAs基板41については、Si板よりは小径であるが4インチ程度の大径が可能であり、又強度が十分でありハンドリングも容易であるため、大面積の半導体放射線検出器の製造が可能になる。このGaAs基板41については、上記Si基板11と異なり表面の砒素処理が行われなくても、CdTe成長層42の接合の強度が保たれる。その結果、第5実施例においては、十分な強度のGaAs基板41表面上に、CdTe成長層42がMOVPE法によって積層されているため、良好な結晶性を有する能動層が得られている。そのため、このCdTe成長層42によって良好な放射線検出性能が獲得される。また、GaAs基板41は、大面積でかつ十分な強度を有する基板が安価に得られるため、その表面上にCdTe成長層42を積層することにより、大面積で強度の十分な半導体放射線検出器が安価に得られる。

つぎに、第5実施例の変形例1について説明する。

変形例1の半導体放射線検出器46は、第10図に示すように、第5実施例の低抵抗のN型のGaAs基板41と、基板41上にMOVPE法により積層形成された高抵抗P型のCdTe成長層42との間に、低抵抗でN型の厚さの薄いCdTe中間成長層47を設けたものである。変形例1によれば、上記第5実施例の作用効果に加えて、このように低抵抗の薄いN型の中間成長層14を設けたことにより、PN接合におけるダメージの発生が抑えられ、PN接合による能動層であるCdTe成長層42で発生したキャリアの収集効率が高められる。

つぎに、第5実施例の変形例2について説明する。

変形例2の半導体放射線検出器51は、第11図に示すように、低抵抗のP型のGaAs基板52上に、高抵抗のP型であるCdTe成長層53を設け、さらに低抵抗のN型のCdTe成長層54を設けたものである。CdTe成長層54については上記のようにドーパントを沃素に代えることによりMOVPE法によって形成される。変形例2によれば、上記第5実施例の作用効果に加えて、半導体放射線検出器に逆バイアスを印加することにより、放射線の入射によって能動層であるP型のCdTe成長層53に発生したキャリアを、低抵抗のN型の成長層54とのPN接合によって効率よく取り出すことができる。

つぎに、第5実施例の変形例3について説明する。

変形例3の半導体放射線検出器56は、第12図に示すように、変形例2の半導体放射線検出器51において、低抵抗のP型のGaAs基板52上と高抵抗のP型であるCdTe成長層53の間に、厚さの薄い低抵抗のP型のCdTe中間成長層57を設けたものである。これにより、変形例3においては、第5実施例の効果に加えて、GaAs基板52上との境界で発生する欠陥を厚みの薄いP型のCdTe中間成長層57で抑えることができ、高抵抗のCdTe成長層53の耐放射線特性を高めることができる。

つぎに、第5実施例の変形例4について説明する。

変形例4の半導体放射線検出器61は、第13図に示すように、上記変形例2の半導体放射線検出器51において、低抵抗のN型のCdTe成長層54に代えて、ショットキー電極62を設けたものである。これにより、第2実施例のPN接合と同様に、ショットキー電極62とP型のCdTe成長層53とのショットキ接合により、放射線の入射によってP型層53である能動層で生じたキャリアを効率よく取り出すことが

できる。また、変形例 3 の半導体放射線検出器 5 6 において、低抵抗の N 型の CdTe 成長層 5 4 に代えて、ショットキー電極を設けても同様の効果が得られる。

なお、第 5 実施例及び変形例の各半導体放射線検出器についても、分離溝で単位素子に分離して二次元配列を形成する代りに、第 4 実施例あるいは第 5 実施例の方法を適用することができる。また、上記各実施例及び変形例において、MOVPE 法による CdTe 成長層が用いられているが、これに代えて CdZnTe 成長層を用いることもできる。その他、上記実施例に示した半導体放射線検出器については、一例であり、本発明の主旨を逸脱しない範囲において種々変更実施することが可能である。

産業上の利用可能性

本発明の半導体放射線検出器は、Si あるいは GaAs 基板表面上に、CdTe あるいは CdZnTe 成長層が MOVPE 法によって積層されているため、良好な結晶性を有する成長層が得られ、良好な放射線検出性能が安価に得られると共に、大面積で十分な強度を有する。また、本発明においては、Si 基板表面上に GaAs 粉末あるいは GaAs 結晶を熱分解させて 2 価の砒素を付着させることにより、従来困難であった Si 基板上に CdTe あるいは CdZnTe 成長層を MOVPE 法によって強固に積層させることができるので、有用である。

請 求 の 範 囲

1. SiあるいはGaAs基板と、該基板の表面上にMOVPE法により積層形成されたCdTeあるいはCdZnTe成長層とを備え、該成長層が入射放射線に対する能動層となることを特徴とする半導体放射線検出器。

2. 前記SiあるいはGaAs基板が低抵抗のN型であり、前記CdTeあるいはCdZnTe成長層が高抵抗のP型であることを特徴とする請求の範囲第1項に記載の半導体放射線検出器。

3. 前記SiあるいはGaAs基板と、前記CdTeあるいはCdZnTe成長層との間に、低抵抗のN型で厚さの薄いCdTeあるいはCdZnTe中間成長層を設けたことを特徴とする請求の範囲第2項に記載の半導体放射線検出器。

4. 前記SiあるいはGaAs基板が低抵抗のP型であり、前記CdTeあるいはCdZnTe成長層が前記SiあるいはGaAs基板側の高抵抗のP型層と表面側の低抵抗のN型層を積層させたものであることを特徴とする請求の範囲第1項に記載の半導体放射線検出器。

5. 前記SiあるいはGaAs基板と、前記高抵抗のP型層との間に、砒素を含む低抵抗のP型である厚さの薄いCdTeあるいはCdZnTe中間成長層を設けたことを特徴とする請求の範囲第4項に記載の半導体放射線検出器。

6. 前記表面側の低抵抗のN型層に代えて、ショットキー電極を設けたことを特徴とする請求の範囲第4項又は第5項に記載の半導体放射線検出器。

7. 前記表面側の成長層から前記SiあるいはGaAs基板に達する溝が切断手段により設けられて、二次元に配列された多数の単位素子に分

離されていることを特徴とする請求の範囲第1項から第6項のいずれか1項に記載の半導体放射線検出器。

8. 前記成長層側の表面に二次元に配列された多数の表面電極あるいはショットキー電極を設けると共に、該表面電極あるいはショットキー電極の周囲を囲むガードリング電極を設けたことを特徴とする請求の範囲第1項から第6項のいずれか1項に記載の半導体放射線検出器。

9. 前記表面側の低抵抗成長層が多数の小領域に分離されて二次元に配列されており、該小領域あるいは前記ショットキー電極である小領域について、所定位置の主小領域と、該主小領域を囲む複数の周辺小領域との間に高電圧が印加される構成であることを特徴とする請求の範囲第1項から第6項のいずれか1項に記載の半導体放射線検出器。

10. Si基板の表面上にMOVPE法によりCdTeあるいはCdZnTe成長層を積層して形成し、該成長層を入射放射線に対する能動層とする半導体放射線検出器の製造方法であって、前記Si基板が高温還元雰囲気中に置かれた状態で、GaAs粉末あるいはGaAs結晶を分解して該Si基板上に砒素を付着させ、該砒素の付着したSi基板上にCdTeあるいはCdZnTe成長層を積層形成することを特徴とする半導体放射線検出器の製造方法。

11. 前記Si基板が低抵抗のN型であり、前記CdTeあるいはCdZnTe成長層が高抵抗のP型であることを特徴とする請求の範囲第10項に記載の半導体放射線検出器の製造方法。

12. 前記Si基板と、前記CdTeあるいはCdZnTe成長層との間に、低抵抗のN型で厚さの薄いCdTeあるいはCdZnTe中間成長層を形成したことを特徴とする請求の範囲第11項に記載の半導体放射線検出器の製造方法。

13. 前記Si基板が低抵抗のP型であり、前記CdTeあるいはCd

Z n T e 成長層が前記 S i 基板側の高抵抗の P 型層と表面側の低抵抗の N 型層を積層させたものであることを特徴とする請求の範囲第 10 項に記載の半導体放射線検出器の製造方法。

14. 前記 S i 基板と、前記高抵抗の P 型層との間に、砒素を含む低抵抗の P 型である厚みの薄い C d T e あるいは C d Z n T e 中間成長層を形成したことを特徴とする請求の範囲第 13 項に記載の半導体放射線検出器の製造方法。

15. 前記表面側の N 型層に代えて、ショットキー電極を設けたことを特徴とする請求の範囲第 13 項又は第 14 項に記載の半導体放射線検出器の製造方法。

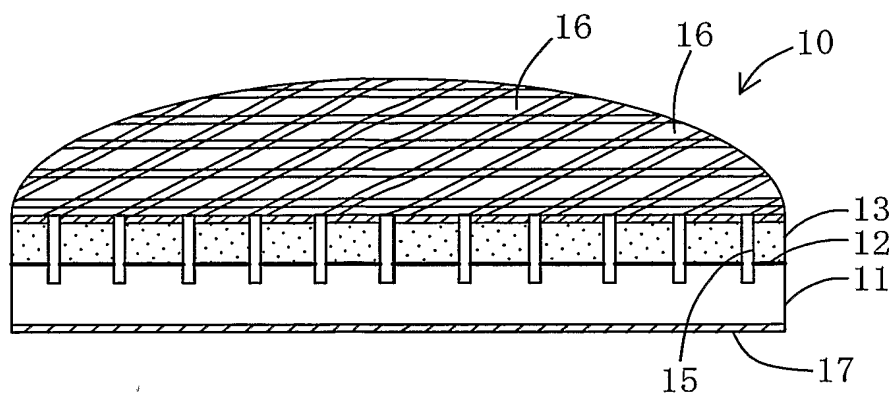
16. 前記表面側の成長層から前記 S i 基板に達する溝を切断手段により設けて、二次元に配列された多数の単位素子に分離することを特徴とする請求の範囲第 10 項から第 15 項のいずれか 1 項に記載の半導体放射線検出器の製造方法。

17. 前記成長層側の表面に二次元に配列された多数の表面電極あるいはショットキー電極を設けると共に、該表面電極あるいはショットキー電極の周囲を囲むガードリング電極を設けたことを特徴とする請求の範囲第 10 項から第 15 項のいずれか 1 項に記載の半導体放射線検出器の製造方法。

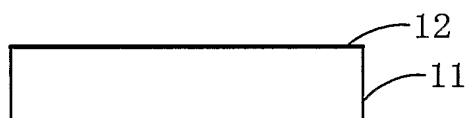
18. 前記表面側の低抵抗成長層が多数の小領域に分離されて二次元に配列されており、該小領域あるいは前記ショットキー電極である小領域について、所定位置の主小領域と、該主小領域を囲む複数の周辺小領域との間に高電圧が印加される構成であることを特徴とする請求の範囲第 10 項から第 15 項のいずれか 1 項に記載の半導体放射線検出器の製造方法。

1 / 5

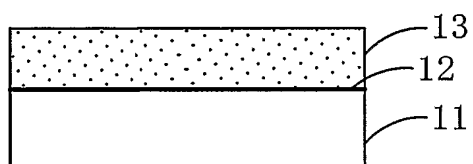
第 1 図



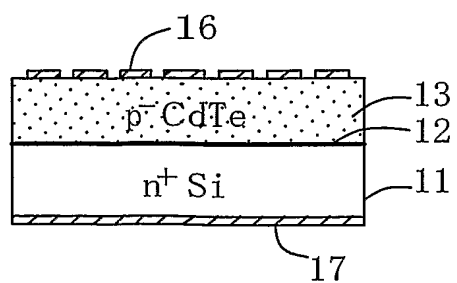
第 2-1 図



第 2-2 図

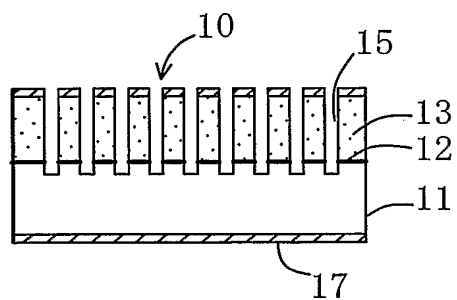


第 2-3 図

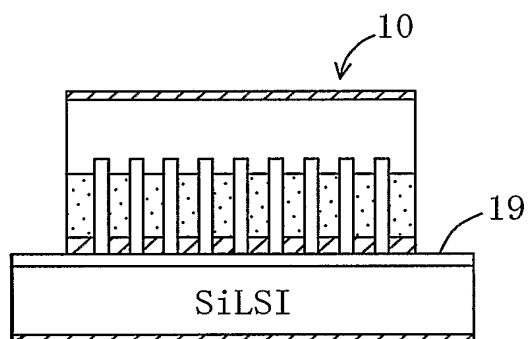


2 / 5

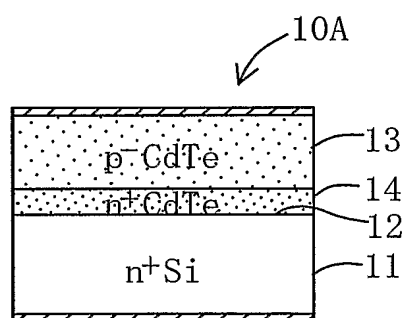
第 2-4 図



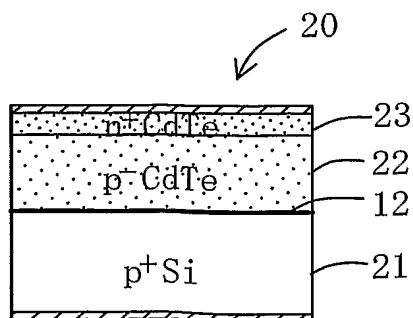
第 2-5 図



第 3 図

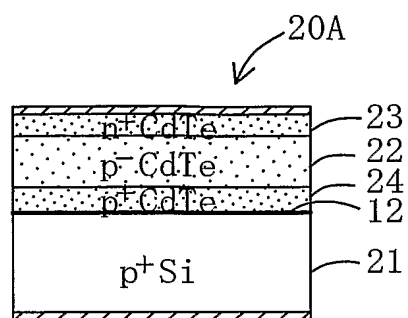


第 4 図

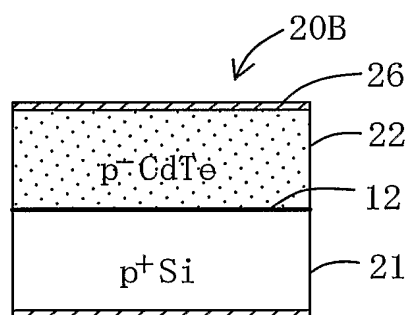


3 / 5

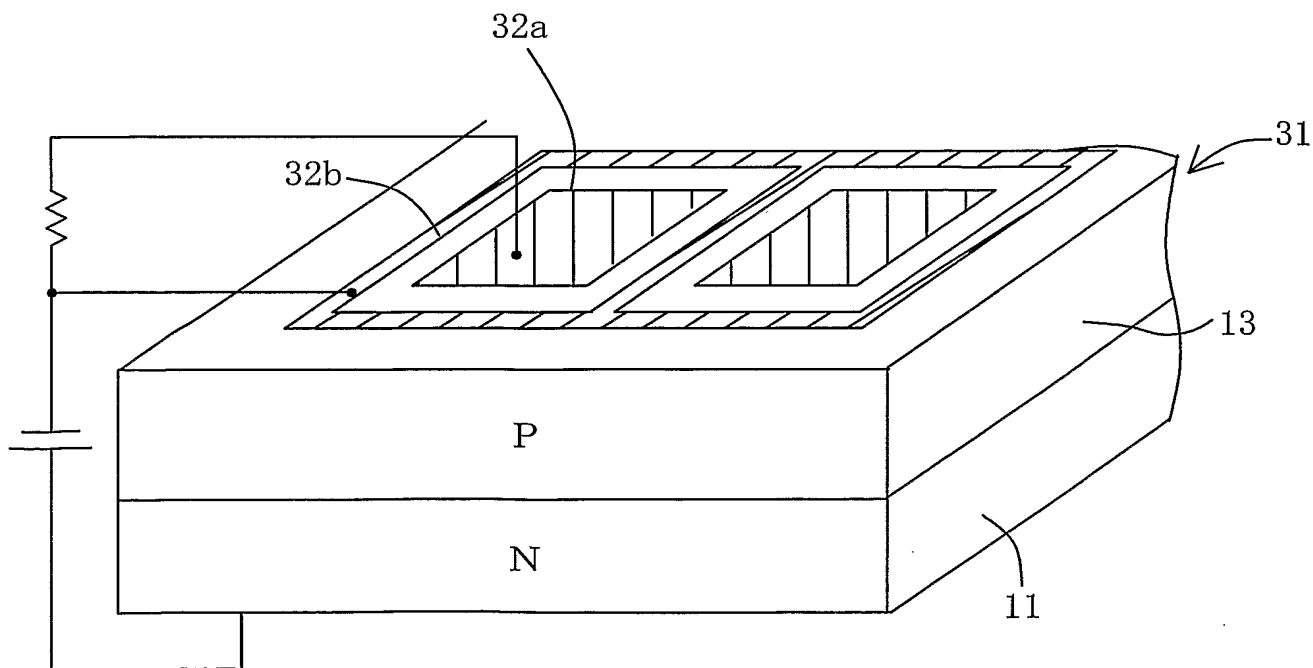
第 5 図



第 6 図

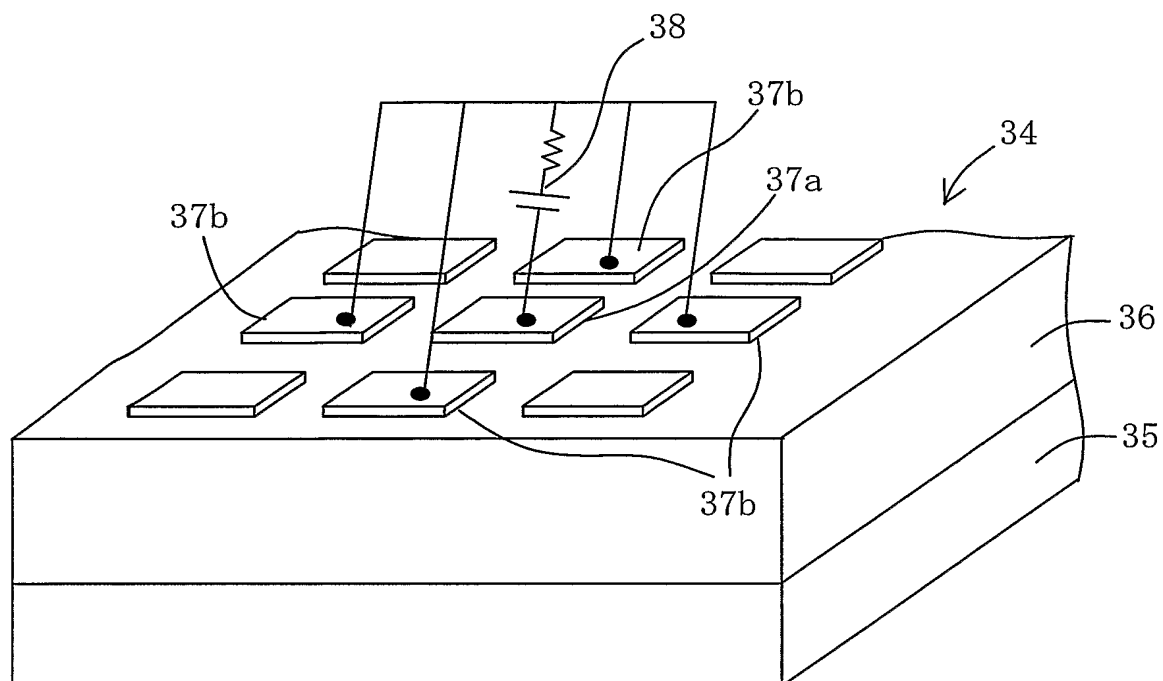


第 7 図

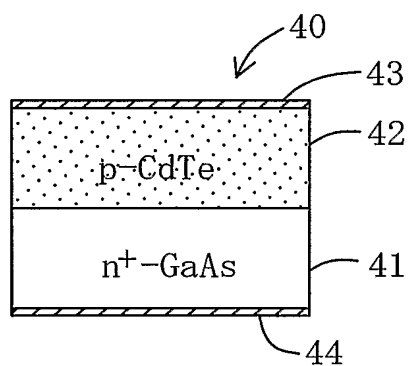


4 / 5

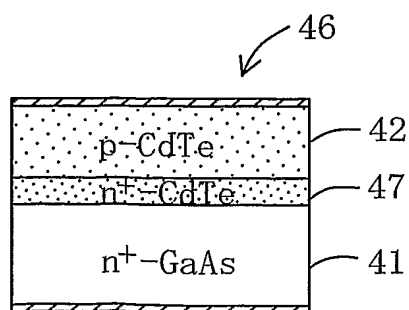
第 8 図



第 9 図

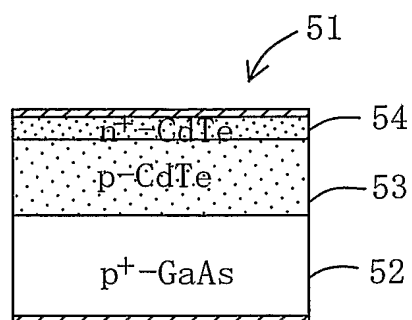


第 10 図

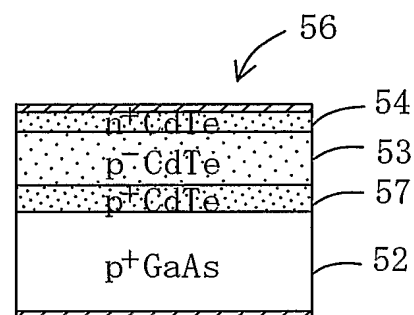


5 / 5

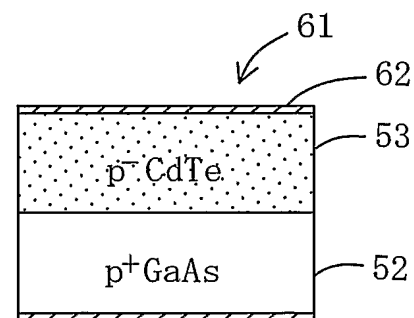
第 1 1 図



第 1 2 図



第 1 3 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017891

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L31/0328, H01L31/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Yutaro NAKANISHI et al., 'MOVPE-ho ni yoru GaAs Kibanjo CdTe Komaku Seichoso no Denki Tokusei Hyoka', The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, Vol.103, No.50, pages 81 to 85, 15 May, 2003 (15.05.03)	1-2 3-18
X Y	Yusuke MASUDA et al., 'MOVPE Seicho CdTe eno Hiso Doping Tokusei', The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, Vol.101, No.82, pages 13 to 18, 24 May, 2001 (24.05.01)	1 2-18
X Y	K. YASUDA et al., "MOVPE growth of (100) CdZnTe layers using DiPZn", Journal of Crystal Growth 159 (1996), pages 121 to 125	1 2-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 February, 2005 (17.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017891

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Kei UCHIDA et al., 'MOVPE-ho ni yoru Daimenseki CdTeX-sen·y-sen Gazo Kenshutsuki ni Kansuru Kenkyu (VII)', Dai 64 Kai Extended abstracts; the Japan Society of Applied Physics, No.1, page 245, 30 August, 2003 (30.08.03)	1 2-18
X Y	W.S. WANG et al., "(100) or (111) heteroepitaxy of CdTe layers on (100) GaAs substrates by organometallic vapor phase epitaxy", Materials Chemistry and Physics, 51 (1977), pages 178 to 181	1 2-18
X Y	G. Leo et al., "Influence of a ZnTe buffer layer on the structural quality of CdTe epilayers grown on (100) GaAs by metal organic vapor phase epitaxy", Journal of Vacuum Science & Technology B: May/June 1996, Vol.14(3), pages 1739 to 1744	1 2-18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017891

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

A heterojunction type diode detector obtained by growing a CdTe thick film on n⁺GaAs substrate is disclosed in, for example, the literature by inventor of this application listed on page 2 of this report, Yutaro Nakanishi et al., "Evaluation of the electrical properties of CdTe thick film growth layer on GaAs substrate according to MOVPE technique", The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, Vol.103, No.50, pp.81-85, 2003.5.15. Consequently, claim 1 falls within the category of state of art at the priority date of this application. From this viewpoint, it appears that claim 2 (featuring pn junction), claims 3-5 (featuring equipment with intermediate growth layer, surface layer or (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017891

Continuation of Box No.III of continuation of first sheet(2)

shot key electrode), claims 7-9 (featuring two-dimensional arrangement configuration) and claims 10-18 (featuring sticking of arsenic onto Si substrate) have respective different "special technical features" (PCT Rule 13.2).

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/0328, H01L31/115

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L31

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	中西祐太郎他、「MOVPE法によるGaAs基板上CdTe厚膜成長層の電気特性評価」、電子情報通信学会技術研究報告、Vol.103、No.50、pp.81-85、2003.5.15	1-2 3-18
X Y	増田裕輔他、「MOVPE成長CdTeへのヒ素ドーピング特性」、電子情報通信学会技術研究報告、Vol.101、No.82、pp.13-18、2001.5.24	1 2-18
X Y	K.YASUDA et al., "MOVPE growth of (100) CdZnTe layers using DiPZn", Journal of Crystal Growth 159 (1996), p121-125	1 2-18

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

17.02.2005

国際調査報告の発送日

08.3.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

浜田 聖司

2 K

9207

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	内田圭他、「MOVPE法による大面積CdTe X線・γ線画像検出器に関する研究 (VII)」、第64回応用物理学学会学術講演会講演予稿集、No.1、p.245、2003.8.30	1 2-18
X Y	W.S.WANG et al., "(100) or (111) heteroepitaxy of CdTe layers on (100) GaAs substrates by organometallic vapor phase epitaxy", Materials Chemistry and Physics, 51 (1977), pp.178-181	1 2-18
X Y	G.Leo et al., "Influence of a ZnTe buffer layer on the structural quality of CdTe epilayers grown on (100)GaAs by metal organic vapor phase epitaxy", Journal of Vacuum Science & Technology B: May/June 1996, Vol.14 (3), pp.1739-1744	1 2-18

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

例えば、本報告の第2ページに提示された、この出願と同一の発明者のものによる文献、中西祐太郎他、「MOVPE法によるGaAs基板上CdTe厚膜成長層の電気特性評価」、電子情報通信学会技術研究報告、Vol.103, No.50, pp.81-85, 2003.5.15には、 n^+ GaAs基板上にCdTe厚膜を成長させたヘテロ接合型ダイオード検出器が開示されている。したがって、請求の範囲1はこの出願の優先日における技術水準に属するものである。

これを踏まえると、請求の範囲2（pn接合とする点）、請求の範囲3-5（中間成長層、表面層またはショットキー電極を設けた点）、請求の範囲7-9（二次元配列形状とする点）、請求の範囲10-18（Si基板上に砒素を付着する点）は、それぞれ異なる「特別な技術的特徴」（PCT規則13.2）を有するものと考えられる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。